

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許出願公告番号

特公平6-32378

(24)(44)公告日 平成6年(1994)4月27日

(51)Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

FI

技術表示箇所

H05K 3/46

H 6921-4E

発明の数1(全4頁)

(21)出願番号 特願昭60-130647

(22)出願日 昭和60年(1985)6月14日

(65)公開番号 特開昭61-288498

(43)公開日 昭和61年(1986)12月18日

審判番号 平4-5029

(71)出願人 999999999

株式会社村田製作所

京都府長岡京市天神2丁目26番10号

(72)発明者 坂部 行雄

京都府長岡京市天神2丁目26番10号 株式会社村田製作所内

(72)発明者 西岡 吾朗

京都府長岡京市天神2丁目26番10号 株式会社村田製作所内

(74)代理人 弁理士 山本 恵二

審判の合議体

審判長 堤 隆人

審判官 清水 英雄

審判官 恒川 勝正

最終頁に続く

(54)【発明の名称】 電子部品内蔵多層セラミック基板

1

【特許請求の範囲】

【請求項1】凹部または貫通孔を有するセラミック基板を含む複数枚のセラミック基板であっていずれも非還元性のセラミックから成るものが一体的に焼成積層されて成る多層セラミック基板と、この多層セラミック基板内であって前記凹部または貫通孔で形成される空間内に収納された非還元性のチップ形電子部品と、前記多層セラミック基板の層間または前記貫通孔内に設けられていて前記チップ形電子部品を配線している卑金属から成る導体とを備えることを特徴とする電子部品内蔵多層セラミック基板。

【発明の詳細な説明】

〔産業上の利用分野〕

この発明は、多層セラミック基板内に、例えばコンデンサ、抵抗器、コイル等のチップ形電子部品を内蔵した電

2

子部品内蔵多層セラミック基板に関する。

〔従来の技術とその問題点〕

電子回路をより高密度化、多機能化する等のために、電子部品を内蔵した多層基板が要望されている。

そのような多層基板の1つに、グリーンシート各層に誘電体ペースト、絶縁体ペースト、導電ペースト等を厚膜技術で印刷後、各層を圧着して焼成することによりL、C、R回路等を構成したものがある。しかしこのような多層基板においては、①圧着・焼成過程でペーストの変形が起こるため、抵抗値や静電容量等のL、C、Rの特性を計算通りにすることが困難であること、②使用可能な誘電体ペーストの誘電率が小さくて大容量コンデンサの形成が困難であること、③絶縁体ペーストの比抵抗を幅広く選択することが困難であること、④印刷積層を繰り返すに従って印刷部の平面性が非常に悪くなって積層

3

数を増やすことが困難であること、等の種々の問題がある。

一方、従来の多層基板の他の例として、いわゆる抵抗・容量付多層基板がある（例えば「エレクトロニク・セラミクス」'85 5月号 頁68～69参照）。これは、セラミックベースの表面にコンデンサ、抵抗器等を厚膜技術で多層に印刷形成したものである。しかしこのような多層基板においても、①印刷パターンの位置ずれによる特性のばらつき、②コンデンサ容量の制約、③平面性の悪化、等の上述した多層基板とほぼ同様の問題がある。

従ってこの発明は、上述のような問題点を解消することができる電子部品内蔵多層セラミック基板を提供することを目的とする。

〔問題点を解決するための手段〕

この発明の電子部品内蔵多層セラミック基板は、凹部または貫通孔を有するセラミック基板を含む複数枚のセラミック基板であっていずれも非還元性のセラミックから成るものが一体的に焼成積層されて成る多層セラミック基板と、この多層セラミック基板内であって前記凹部または貫通孔で形成される空間内に収納された非還元性のチップ形電子部品と、前記多層セラミック基板の層間または前記貫通孔内に設けられていて前記チップ形電子部品を配線している卑金属から成る導体とを備えることを特徴とする。

〔実施例〕

第1図はこの発明の一実施例に係る電子部品内蔵多層セラミック基板を示す概略断面図であり、第2図はその等価回路図である。貫通孔7をそれぞれ有するセラミック基板21～25と貫通孔を有さないセラミック基板26とが積層されて多層セラミック基板2が形成されており、当該多層セラミック基板2内であって各セラミック基板の貫通孔7の組み合わせで形成される空間内に、チップ形の受動素子等の電子部品、例えば積層タイプのコンデンサ3、4及び抵抗器5が収納されている。そして当該コンデンサ3、4及び抵抗器5は、多層セラミック基板2の層間や貫通孔7内に設けられた導体6で適宜配線されて第2図に示すような回路を構成している。この場合、各電子部品を収納する空間を、貫通孔7の代わりに各セラミック基板21～26に適宜設けた凹部で形成するようにしても良い。詳細は以下に説明するが、上記各セラミック基板21～26は、還元雰囲気中で焼成しても還元されない（即ち特性劣化を生じない）非還元性のセラミックから成り、これらが一体的に焼成積層されて上記多層セラミック基板2が形成されている。上記コンデンサ3、4および抵抗器5も非還元性のものである。上記導体6は卑金属から成る。

上述のような電子部品内蔵多層セラミック基板の製法の一例を第3図を参照して説明する。還元雰囲気中で低温焼結可能なセラミックのグリーンシート21G～26G

4

の内のグリーンシート21G～25Gのそれぞれに、図示のように収納するコンデンサ3、4、抵抗器5の形状・寸法およびそれらの配線パターンに応じた位置に大小の貫通孔7を予め幾つか空けておき、そして非還元性のコンデンサ3、4及び非還元性の抵抗器5を予めチップ部品として完成させておいたものを、前記貫通孔7によって形成される空間内に挿入し、また卑金属から成る導電ペースト6Pを各グリーンシート21G～26Gの貫通孔7の部分や層間の所定の箇所に付与した後、各グリーンシート21G～26Gを圧着し、そして還元雰囲気中において低温焼成すると、第1図に示した電子部品内蔵多層セラミック基板が得られる。尚、第3図中の31、41、51は、それぞれ、チップ形のコンデンサ3、4及び抵抗器5の外部電極であり、52はセラミック基板の表面に付与された抵抗パターンである。

この場合、上記グリーンシート21G～26G等のグリーンシートとしては、例えば、「エレクトロニク・セラミクス」'85 3月号 頁18～19に開示されているような、 $Al_2O_3$ 、 $CaO$ 、 $SiO_2$ 、 $MgO$ 、 $B_2O_3$ と微量添加物から成るセラミック粉末とバインダーとを混合してドクターブレード法によってシート状にされたようなものが利用される。そのようなグリーンシートは、例えば窒素等の還元雰囲気中で焼成しても特性劣化が無く、しかも例えば900～1000℃程度の比較的低温で焼成することができる。

また上記コンデンサ3、4等のコンデンサとしては、例えば、①特公昭56-46641号公報、②特公昭57-42588号公報、③特公昭57-49515号公報に開示されているようなチタン酸バリウム系の非還元性誘電体セラミック組成物、あるいは④特公昭57-37081号公報、⑤特公昭57-39001号公報に開示されているようなジルコン酸カルシウムを主体とする非還元性誘電体セラミック組成物を用いた例えば積層タイプのセラミックコンデンサが利用できる。そのようなセラミック積層コンデンサの製法の一例が上記①～③の公報中に開示されている。このようなコンデンサを用いれば、グリーンシート中に収納して還元雰囲気中で焼成しても特性劣化を生じることがない。

上記抵抗器5等の抵抗器としては、例えば、特開昭55-27700号公報、特開昭55-29199号公報に開示されているようなランタンホウ素、イットリウムホウ素等の抵抗物質と非還元性ガラスとから成る非還元性抵抗組成物を、例えばセラミック基板上に付与して還元雰囲気中で焼成した抵抗器が利用できる。このような抵抗器を用いれば、グリーンシート中に収納して還元雰囲気中で焼成しても特性劣化を生じることがない。

上記導電ペースト6P等の導電ペーストとしては、グリーンシートが900～1000℃の還元雰囲気中で焼成可能なため、例えばCu、Ni、Fe等の卑金属から成るものが利用できる。

5

より具体例を示すと、厚さ $200\mu\text{m}$ の $\text{SiO}_2$ 、 $\text{Al}_2\text{O}_3$ 、 $\text{BaO}$ 、 $\text{B}_2\text{O}_3$ 及びバインダーより成る低温焼結セラミックグリーンシートに、第3図に示すように貫通孔を開け、 $\text{BaTiO}_3$ を主成分とする非還元性積層セラミックコンデンサ及び $\text{La}_3\text{B}_2$ を主成分とする非還元性抵抗器を貫通孔に挿入し、またCu系導電ペーストをスクリーン印刷法で所定パターンに印刷した後、グリーンシートを圧着し、窒素雰囲気中 $950^\circ\text{C}$ で焼成して第1図に示すような電子部品内蔵多層セラミック基板を得た。そして焼成後の容量、抵抗をLCRメータで測定したところ、設計値通りの値が得られた。

尚、第1図等に示した電子部品内蔵多層セラミック基板はあくまでも一例であって、この発明がそのような構造のものに限定されないことは勿論である。

#### 【発明の効果】

以上のようにこの発明は、チップ形電子部品を多層セラミック基板内の空間に収納した構造であるため、次のような利点がある。①従来のように圧着・焼成過程で電子部品の特性のばらつきが起きることではなく、設計値通りの特性の電子部品を3次元的に内蔵した多層セラミック基板が得られる。②コンデンサとしても、チップ形積層セラミックコンデンサを使用することができるので、大きな静電容量のものが内蔵可能である。③電子部品は多層セラミック基板内に形成された空間内に収納されているため、多層基板の平面性を何等悪化させることはな

6

く、従って積層数の大きな積層基板が容易に得られる。④電子部品は多層セラミック基板内に実装されているため、耐湿性等の耐環境性が良く、従って信頼性の高い製品が得られる。

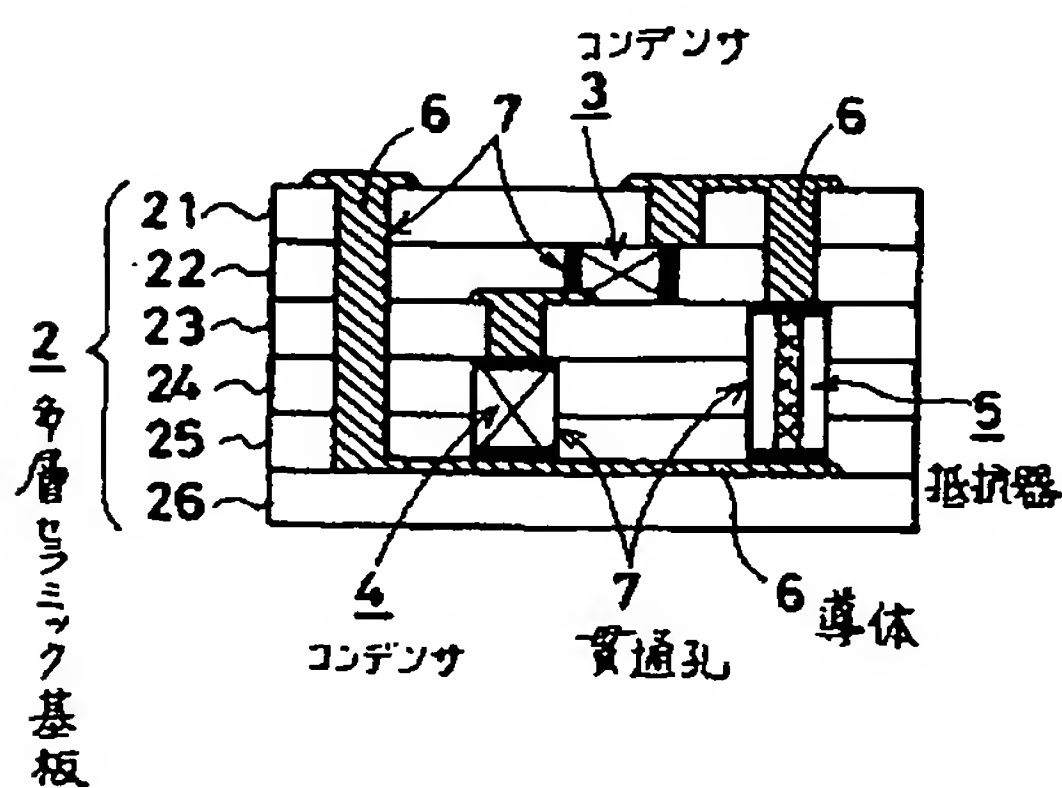
しかもこの発明は、多層セラミック基板が非還元性のセラミックから成ること、内蔵のチップ形電子部品が非還元性のものであること、およびチップ形電子部品を配線している導体が卑金属から成ることを特徴としており、これにより、多層セラミック基板をその内部に予め完成したチップ形電子部品を収納した状態で一体的に形成してもチップ形電子部品の特性劣化が発生せず、しかもチップ形電子部品の内蔵と共に導体によるチップ形電子部品の配線も同時に行うことができるという効果に加えて、導体に卑金属を用いているので、貴金属を用いた場合に比べてコスト的にも安くできるという効果も得られる。

#### 【図面の簡単な説明】

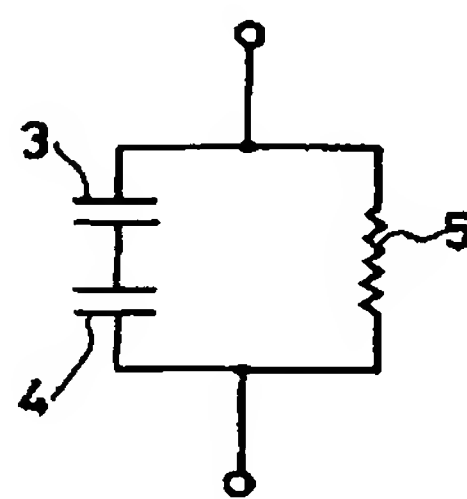
第1図はこの発明の一実施例に係る電子部品内蔵多層セラミック基板を示す概略断面図であり、第2図はその等価回路図である。第3図は、第1図の電子部品内蔵多層セラミック基板の組み立て前の状態を示す概略断面図である。

2……多層セラミック基板、21～26……セラミック基板、21G～26G……グリーンシート、3、4……コンデンサ、5……抵抗器、6……導体、7……貫通孔

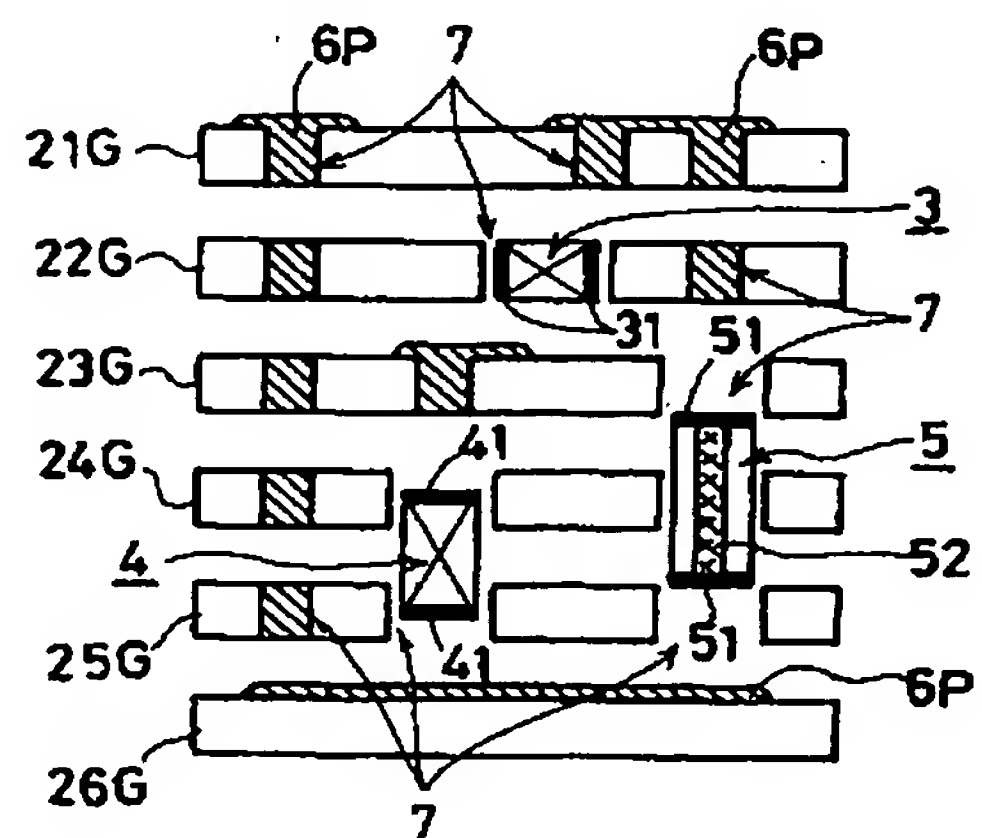
【第1図】



【第2図】



【第3図】



フロントページの続き

(72) 発明者 鷹木 洋

京都府長岡京市天神2丁目26番10号 株式会社村田製作所内

- (56) 参考文献 特開 昭60-109296 ( J P , A )  
特開 昭57-4192 ( J P , A )  
特開 昭59-84493 ( J P , A )  
特開 昭57-154886 ( J P , A )  
特開 昭57-154862 ( J P , A )  
実開 昭59-9568 ( J P , U )